

CLIPPEDIMAGE= JP405067708A
PAT-NO: JP405067708A
DOCUMENT-IDENTIFIER: JP 05067708 A
TITLE: PACKAGING METHOD FOR SEMICONDUCTOR INTEGRATED
CIRCUIT

PUBN-DATE: March 19, 1993

INVENTOR-INFORMATION:

NAME
YAMAMOTO, YOSHINORI

ASSIGNEE-INFORMATION:

NAME
SEIKO EPSON CORP

COUNTRY
N/A

APPL-NO: JP03229016
APPL-DATE: September 9, 1991

INT-CL (IPC): H01L023/29; H01L023/31
US-CL-CURRENT: 257/790

ABSTRACT:

PURPOSE: To provide the packaging method of a semiconductor device having high reliability.

CONSTITUTION: A semiconductor element chip 11 bonded with a lead frame and bonding wires 14 are coated with a soft and viscous insulating material and dried and sealed temporarily 15 or coated with a liquefied or sprayed insulating material and dried and sealed with a sealing resin material 16. Consequently, the mutual contacts of the bonding wires and the contacts of the bonding wires and an island generated at the time of resin seal can be prevented. The semiconductor element chip and the lead frame, size of which coincide, need not be used, thus decreasing the kinds of the lead frames. Since the small semiconductor element chip can be employed

as it is, the
breaking of the semiconductor element chip due to breaking
stress generated
from a sealing resin material can be lowered, thus
improving reliability, then
reducing a delivery period and cost.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-67708

(43)公開日 平成5年(1993)3月19日

(51)Int.Cl. ⁵	識別記号	片内整理番号	FI	技術表示箇所
H 0 1 L 23/29 23/31		8617-4M 8617-4M	H 0 1 L 23/ 30	B D

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 特願平3-229016

(22)出願日 平成3年(1991)9月9日

(71)出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72)発明者 山本 美範

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

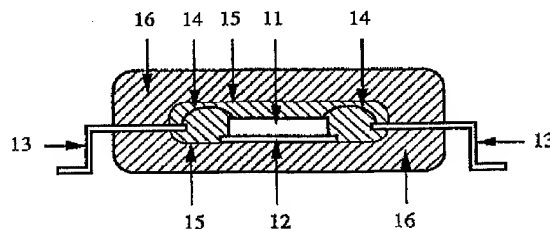
(54)【発明の名称】 半導体集積回路のパッケージ方法

(57)【要約】 (修正有)

【目的】信頼性の高い半導体デバイスのパッケージ方法を提供する。

【構成】リードフレームに接着した半導体素子チップ11およびボンディングワイヤ14を、軟粘性の絶縁材料を塗布し乾燥して仮封止15、または、液体もしくは霧状の絶縁材料を塗布し乾燥した後、封止樹脂材料16により封止する。

【効果】樹脂封止する際に発生するボンディングワイヤ同志の接触およびボンディングワイヤとアイランドの接触が防止できる。また半導体素子チップとリードフレームのサイズが一致したものを使用しなくても良くなるため、リードフレームの品種削減になる。さらに半導体素子チップのチップサイズが小さいまま使用できるため、封止樹脂材料から発生する破壊応力による半導体素子チップの破壊を減少することができ、信頼性が向上し、納期およびコストなどを削減することができる。



【特許請求の範囲】

【請求項1】リードフレームのアイランドに半導体素子チップを搭載するとともに、この半導体素子チップに設けたパッドをボンディングワイヤにより複数本のリードに接続し、これらを封止樹脂材料により封止してなる半導体集積回路において、前記半導体素子チップおよびボンディングワイヤを絶縁材料により覆った後、封止樹脂材料により封止したことを特徴とする半導体集積回路のパッケージ方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子機器等に使用される半導体デバイスのパッケージ方法に関する。

【0002】

【従来の技術】従来の半導体デバイスのパッケージ方法は、半導体素子チップとリードフレームのサイズが一致したものを使用し、封止樹脂材料を出来る限り空洞が少なくなるように完全封止していた。

【0003】

【発明が解決しようとする課題】最近の半導体集積回路は、微細化、多層化、大チップ化が進んで来た。また、半導体素子チップを収容するパッケージも大型化、多ピン化、微細ピッチ化が進んできた。リードフレームのリード端子の微細加工は限界に近い状態になっており、リードフレームのアイランドのサイズも大きくなってしまいうという現象が起きている。しかし半導体素子チップは、微細化によりチップサイズが小さくなってきているにも係わらず、リードフレームのアイランドサイズが大きくなってしまっている為、半導体素子チップを大きくしなければならないという時代に逆行する様な現象になってしまっている。もし、アイランドサイズの大きいリードフレームにチップサイズが小さい半導体素子チップを搭載する場合は、ボンディングワイヤを長く張らなければならない、樹脂封止する際にボンディングワイヤが流れてしまい、ボンディングワイヤ同志の接触およびボンディングワイヤとアイランドの接触を起こし、製品の信頼性が損なわれる原因となる。

【0004】また、パッケージの大型化すると封止樹脂材料の伸縮による破壊応力も著しく増加する。使用される周辺温度環境の変化が大きいほど、封止樹脂材料から発生する破壊応力は大きくなる。さらには、半導体素子チップも大きくなるに従い、半導体素子チップの収縮および封止樹脂材料から発生する破壊応力を受ける度合が増し、樹脂収縮時の応力が半導体素子チップの表面破壊強度を越えた時、半導体素子チップの保護膜にクラック等が発生し動作不良を起こす原因となる。また、封止樹脂材料に吸収される水分による配線材の腐食、半導体素子チップの配線材のスライド、断線、及び素子特性の劣化が誘発され、半導体集積回路としての信頼性が損なわれるという課題があった。また、封止樹脂材料が伸縮す

ると、半導体素子チップの表面と封止樹脂材料の接触面がズれるため、ボンディングワイヤが外れてしまう課題もあった。さらには、封止樹脂材料の伸縮による破壊応力が、半導体素子チップの保護膜を破壊するのを防止するために、半導体素子チップのコーナー部の配線にスリットを入れ応力を吸収していた。しかし、配線材にスリットを入れる方法では、スリットを入れた事により配線幅が狭くなり電流容量が減ってしまう、あるいはチップサイズが大きくなってしまいうという課題があった。そこで本発明は、前記課題を解決することにある。

【0005】

【課題を解決するための手段】上記課題を解決するため、本発明の半導体集積回路のパッケージ方法は、リードフレームのアイランドに半導体素子チップを搭載するとともに、この半導体素子チップに設けたパッドをボンディングワイヤにより複数本のリードに接続し、これらを封止樹脂材料により封止してなる半導体集積回路において、前記半導体素子チップおよびボンディングワイヤを絶縁材料により覆った後、封止樹脂材料により封止したことを特徴とする。

【0006】

【実施例】以下に本発明の実施例を図面に基づいて説明する。

【0007】図1は、本発明のパッケージ方法の一実施例を示す断面図である。図1において、半導体素子チップ11はアイランド12に接着剤で接着する。接着した半導体素子チップ11のパッドとリード部13をボンディングワイヤ14にて接続する。できた製品の半導体素子チップ11とリード部13の周囲を軟粘性の絶縁材料15を塗布し乾燥して仮封止する。その後、封止樹脂材料17で封止して製品になる。

【0008】図2は、本発明のパッケージ方法の他の実施例を示す断面図である。図2において、半導体素子チップ21はアイランド22に接着剤で接着する。接着した半導体素子チップ21のパッドとリード部23をボンディングワイヤ24にて接続する。できた製品の半導体素子チップ21とリード部23の周囲を液体もしくは霧状の絶縁材料25を塗布し乾燥した後、封止樹脂材料27で封止して製品になる。

【0009】以上により、半導体素子チップおよびボンディングワイヤを絶縁材料により覆った後、封止樹脂材料により封止したことにより前記課題を防止している。

【0010】

【発明の効果】本発明により、樹脂封止する際に発生するボンディングワイヤ同志の接触およびボンディングワイヤとアイランドの接触を防止できる。また、半導体素子チップとリードフレームのサイズが一致したものを使用しなくても良くなるため、リードフレームの品種削減になる。さらには、半導体素子チップのチップサイズが小さいまま使用できるため、封止樹脂材料から発生する

3

破壊応力による半導体素子チップの破壊を減少することができ、信頼性が向上し、納期およびコストなどを削減することができるという効果もある。

【図面の簡単な説明】

【図1】本発明の半導体集積回路のパッケージ方法の一実施例を示す断面図。

【図2】本発明の半導体集積回路のパッケージ方法の他の実施例を示す断面図。

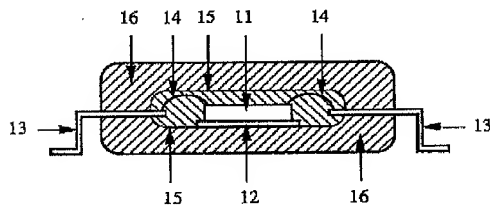
【符号の説明】

- 11……半導体素子チップ
12……アイランド
13……リード端子

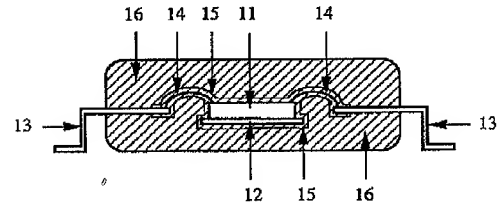
4

- 14……ボンディングワイヤ
15……軟粘性の絶縁材料を塗布後、乾燥した仮封止材料
16……樹脂封止材料
21……半導体素子チップ
22……アイランド
23……リード端子
24……ボンディングワイヤ
25……液体もしくは霧状の絶縁材料を塗布後、乾燥した仮封止絶縁材料
26……樹脂封止材料

【図1】



【図2】



CLIPPEDIMAGE= JP403082059A
PAT-NO: JP403082059A
DOCUMENT-IDENTIFIER: JP 03082059 A
TITLE: RESIN SEALED TYPE SEMICONDUCTOR DEVICE

PUBN-DATE: April 8, 1991

INVENTOR-INFORMATION:

NAME
OOYANAI, KENJI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP01218984
APPL-DATE: August 24, 1989

INT-CL (IPC): H01L023/29; H01L021/60 ; H01L023/31 ;
H01L023/50
US-CL-CURRENT: 257/790

ABSTRACT:

PURPOSE: To prevent drift of a semiconductor element due to sealing resin and tension of a fine metal line by fixing the semiconductor element through filling a potting resin into a part of a void between the semiconductor element and an internal lead after the semiconductor element and the internal lead in a lead frame having no element mounting part are connected via a fine metal line.

CONSTITUTION: In a resin sealed type semiconductor device using a lead frame 2 having no semiconductor element mounting part, the semiconductor element 1 and an internal lead 2a in the lead frame 2 having no semiconductor element mounting part are connected via a fine metal line 3, and at least a part of a void between the semiconductor element 1 and the internal lead 2a in the lead

frame 2 is filled with a potting resin 4 to fix semiconductor element 1 to the internal lead 2a of the lead frame 2, and further, the semiconductor element 1, the fine metal line 3, the internal lead 2a and the potting resin are sealed by a sealing resin 5. For example, the semiconductor element 1 is fixed at the internal lead 2a of the lead frame 2 having no semiconductor element mounting part and the four corners of semiconductor element 1 by the potting resin 4.

COPYRIGHT: (C)1991,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-82059

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月8日

H 01 L 23/29
21/60
23/31
23/50

3 0 1 B

6918-5F

G

9054-5F
6412-5F

H 01 L 23/30

B

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 樹脂封止型半導体装置

⑯ 特 願 平1-218984

⑰ 出 願 平1(1989)8月24日

⑱ 発 明 者 大 谷 内 賢 治 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

樹脂封止型半導体装置。

2. 特許請求の範囲

半導体素子搭載部のないリードフレームを用いた樹脂封止型半導体装置において、半導体素子と半導体素子搭載部のないリードフレームの内部リードは金属細線にて接続されており、前記半導体素子と前記リードフレームの内部リードとの空隙の少くとも一部がポッティング樹脂より埋められていて、半導体素子をリードフレームの内部リードに固定し、さらに前記半導体装置、金属細線、内部リード及びポッティング樹脂を封止用樹脂で封止することを特徴とする樹脂封止型半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は樹脂封止型半導体装置に関する。

〔従来の技術〕

従来、半導体素子搭載部のないリードフレームを用いた樹脂封止型半導体装置は次のようになっていた。

すなわち、半導体素子と半導体素子搭載部のないリードフレームの内部リードを金属細線にて接続した後、半導体素子及びリードフレームの内部リードを封止用樹脂にて封止する構造となっていた。

〔発明が解決しようとする課題〕

上述した従来の樹脂封止型半導体装置では、半導体素子を保持するのが、半導体素子と半導体素子搭載部のないリードフレームの内部リードを接続する金属細線のみであるため、半導体素子及びリードフレームの内部リードを封止用樹脂にて封止する際、半導体素子は樹脂に押し流されやすく、前記金属細線が引っ張られ、切断したり、あるいは半導体素子の上部角の部分に金属細線が触れ、電氣的に短絡してしまうなどの欠点がある。

また、金属細線が引っ張られた対辺では金属細線がたるみ、金属細線どうし、あるいは金属細線と該金属細線と絶縁されているべき内部リードが短絡してしまうという欠点もある。

また、従来の封止用樹脂は、半導体素子の基板であるシリコン結晶との密着性が悪いと、赤外線リフローなどの熱衝撃を加えるとシリコン結晶が露出している半導体素子の裏面と封止樹脂との間にすき間ができ、そのすき間が拡大していき、封止樹脂の外部まで達してしまい、耐湿性を悪くするという欠点がある。

〔課題を解決するための手段〕

本発明の樹脂封止型半導体装置は、半導体素子搭載部のないリードフレームを用いた樹脂封止型半導体装置において、半導体素子と半導体素子搭載部のないリードフレームの内部リードを金属細線にて接続した後、前記半導体素子と、前記リードフレームの内部リードとの空隙の一部をポッティング樹脂にて埋め半導体素子を、内部リードに固定し、その後封止用樹脂にて樹脂封止するこ

とを特徴とするものである。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図(a)～(c)は、本発明の第1の実施例の上面図、A-A'線断面図及びB-B'線断面図である。

半導体素子1は、第1図に示すように半導体素子搭載部のないリードフレーム2の内部リード2と金属細線3により接続されており、さらに半導体素子1は、半導体素子の搭載部のないリードフレーム2の内部リード2と半導体素子1の4隅でポッティング樹脂4により固定されている。

この半導体素子1の周囲は、全てポッティング樹脂4により覆われている。

このような構造にすることに依り封止用樹脂5により、封止する際に半導体素子1が移動することを防ぎ、金属細線3が変形することが防止できる。

また、熱衝撃により封止樹脂5に割れが発生することも防止することができる。

第2図(a)、(b)は本発明の第2の実施例のA-A'線断面図及びB-B'線断面図である。

半導体素子1は裏面をシリコン酸化膜あるいは半導体素子1の回路形成面を被覆しているガラス状保護膜などの膜6により覆われている。

半導体素子1の裏面の膜6は、封止用樹脂5との密着性が良いため、熱衝撃により封止用樹脂5に割れが発生することも防止できる。

さらにこの実施例では半導体素子1の裏面をポッティング樹脂で覆う必要がないため、封止用樹脂5の厚さを0.3～0.5mm薄くできるという利点も合せ持つ。

〔発明の効果〕

以上説明したように本発明によれば、半導体素子と半導体素子搭載部のないリードフレームの内部リードを金属細線にて接続した後、前記半導体素子と前記リードフレームの内部リードとの空隙の一部をポッティング樹脂にて埋め、半導体素子をリードフレームの内部リードに固定し、その後封止用樹脂にて封止する際、半導体素子が封止用

樹脂によって押し流されることを防止し、しかも金属細線が引っ張られ、切断したり、あるいは半導体素子上部角の部分に金属細線が触れ、電気的に短絡したり、あるいは金属細線どうし、あるいは金属細線と該金属細線と絶縁されているべき内部リードが短絡してしまうことを防止できる効果がある。

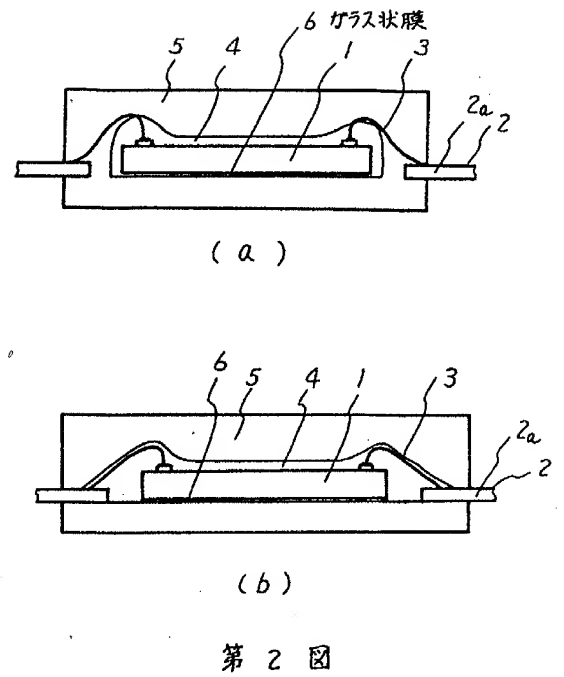
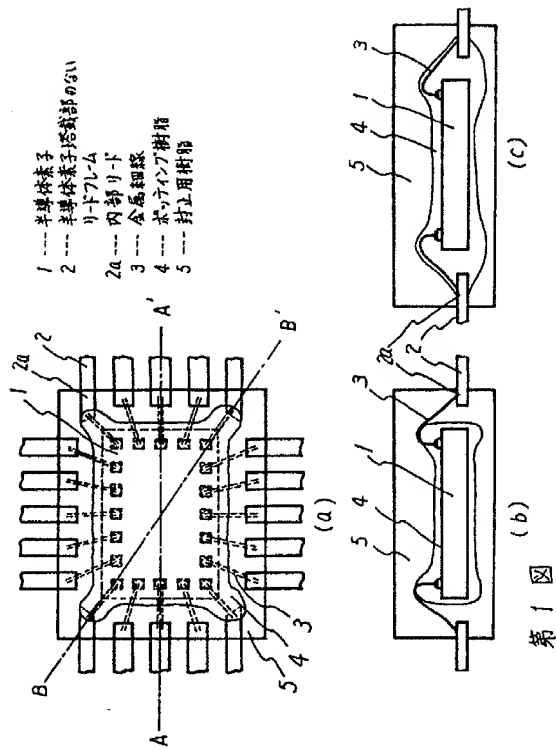
また、熱衝撃により、封止用樹脂に割れが発生することを防止し、信頼性を向上させる効果も合せ持つ。

4. 図面の簡単な説明

第1図(a)～(c)は本発明の第1の実施例の上面図、A-A'線断面図及びB-B'線断面図、第2図(a)、(b)は本発明の第2の実施例のA-A'線断面図及びB-B'線断面図である。

1……半導体素子、2……半導体素子搭載部のないリードフレーム、2a……内部リード、3……金属細線、4……ポッティング樹脂、5……封止用樹脂、6……ガラス状膜。

代理人 弁理士 内 原 晋



CLIPPEDIMAGE= JP403058453A
PAT-NO: JP403058453A
DOCUMENT-IDENTIFIER: JP 03058453 A
TITLE: RESIN SEALED TYPE SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE

PUBN-DATE: March 13, 1991

INVENTOR-INFORMATION:
NAME
TAKAHASHI, MITSUHIRO

ASSIGNEE-INFORMATION:
NAME
NEC YAMAGATA LTD

COUNTRY
N/A

APPL-NO: JP01195013
APPL-DATE: July 26, 1989

INT-CL_(IPC): H01L023/29; H01L023/31
US-CL-CURRENT: 257/790

ABSTRACT:

PURPOSE: To improve a resin sealed type semiconductor integrated circuit device in coloring property and moisture resistance and make it colored and low in stress by a method wherein it is sealed up with a transfer resin sealing structure which is composed of two or more layers formed of, at least, two types of sealing resin.

CONSTITUTION: A semiconductor chip 2 is mounted on the island of a lead frame 1, and the electrode terminal of the semiconductor chip 2 is connected to the lead of the lead frame 1 with a bonding wire 3. The lead frame 1, on which the semiconductor chip 2 is mounted, is covered with a highly adherent sealing resin 6, and then the adherent sealing resin 6 is covered with a low stress sealing resin 5. Furthermore, the low stress sealing resin

5 is covered with a laser marking coloring sealing resin 4, and then marking and the formation of leads are done through laser marking. As mentioned above, a sealing structure in which two or more layers are laminated is employed and sealing resins of different characteristics are used, whereby a resin sealed type semiconductor integrated circuit can be improved in coloring and moisture resistance and made colored and low in stress.

COPYRIGHT: (C)1991,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-58453

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月13日

H 01 L 23/29
23/31

6412-5F H 01 L 23/30

B

審査請求 未請求 請求項の数 1 (全2頁)

⑭ 発明の名称 樹脂封止型半導体集積回路装置

⑮ 特 願 平1-195013

⑯ 出 願 平1(1989)7月26日

⑰ 発 明 者 高 橋 光 浩 山形県山形市北町4丁目12番12号 山形日本電気株式会社
内

⑱ 出 願 人 山形日本電気株式会社 山形県山形市北町4丁目12番12号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

樹脂封止型半導体集積回路装置

特許請求の範囲

樹脂封止型半導体集積回路装置において、少くとも2種類の封止樹脂を用いて、少くとも2層のトランスファ樹脂封止構造としたことを特徴とする樹脂封止型半導体集積回路装置。

発明の詳細な説明

(産業上の利用分野)

本発明は樹脂封止型半導体集積回路装置に関し、特にトランスファモールド成形にて樹脂封止した樹脂封止型半導体集積回路装置に関する。

(従来の技術)

従来、この種の半導体集積回路装置における樹脂封止は、トランスファモールド成形にて1回で樹脂封止し、パッケージの外形を形成している。

また、液状の樹脂を半導体チップ全面にボッティングし、樹脂を硬化させたのちトランスファモールド成形にて樹脂封止し、パッケージ外形を形成している。

(発明が解決しようとする課題)

上述した従来の樹脂封止構造においては、集積回路の多機能化が進み半導体チップのサイズが大型化すること、及び、組立設備の合理化により、封止樹脂に対する特性要求の例としてレーザー捺印による発色性のよい封止樹脂や商品イメージを反映したカラー樹脂や耐湿性向上を図った封止樹脂や低応力化を図った封止樹脂などあげられるが、全ての特性を一つの封止樹脂でかなえることは不可能であり、1回のトランスファモールド成形では、これら全てを満足できないという欠点がある。

本発明の目的は、発色性やカラー化や耐湿性や低応力化などの封止樹脂の特性を同時に満足できる樹脂封止型半導体集積回路装置を提供することにある。

〔課題を解決するための手段〕

本発明は、樹脂封止型半導体集積回路装置において、少なくとも2種類の封止樹脂を用いて、少なくとも2層のトランスファ樹脂封止構造となっている。

〔実施例〕

以下、図面を参照して本発明の実施例を詳細に説明する。

第1図(a)、(b)は本発明の一実施例の斜視図及びA-A'線断面図である。

第1図(a)、(b)に示すように、まず、リード・フレーム1のアイランドに、半導体チップ2を搭載し、半導体チップ2の電極端子とリード・フレーム1のリードをボンディングワイヤ3にて接続する。

次に、半導体チップ2を搭載したリード・フレーム1をトランスファモールド成形にて、芯となる高密着性封止樹脂6を被覆し、樹脂封止する。

次に、同じ方法にて、高密着性封止樹脂6を中間層となる低応力封止樹脂5にて被覆する。

封止樹脂、5…低応力封止樹脂、6…高密着性封止樹脂。

代理人 弁理士 内 原 智

更に、同じ方法にて、中間層となる低応力封止樹脂5を表面層となるレーザー捺印発色性封止樹脂4にて被覆する。

最後に、レーザー捺印によるマーキング、リードの成形等を行い、本実施例の積層構造の樹脂封止型半導体集積回路装置が得られる。

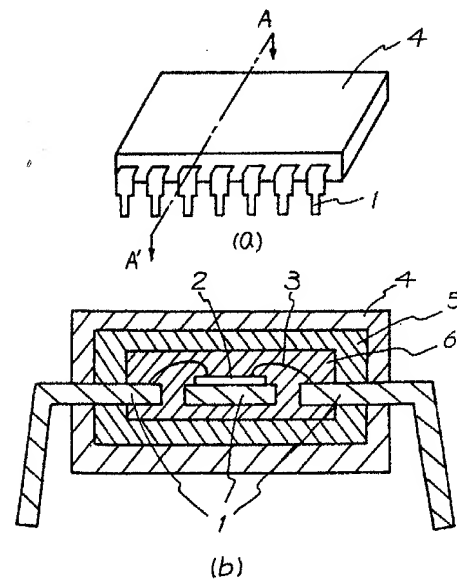
〔発明の効果〕

以上説明したように本発明は、従来、トランスファモールド成形を1回で行なった構造を2層以上に積層した構造としたので、特性の異なる封止樹脂を用いることにより、樹脂封止型半導体集積回路装置の信頼性向上とカラー樹脂を使用することにより商品イメージの向上と、捺印文字を鮮明にできる効果がある。

図面の簡単な説明

第1図(a)、(b)は本発明の一実施例の斜視図及びA-A'線断面図である。

1…リード・フレーム、2…半導体チップ、3…ボンディングワイヤ、4…レーザー捺印発色性



- | | |
|-------------|-----------------|
| 1…リード・フレーム | 4…レーザー捺印発色性封止樹脂 |
| 2…半導体チップ | 5…低応力封止樹脂 |
| 3…ボンディングワイヤ | 6…高密着性封止樹脂 |

第 1 図

L Number	Hits	Search Text	DB	Time stamp
1	516	257/790.ccls.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/05/30 12:09
2	7	257/790.ccls. and (frame or ring) and substrate and ((die or chip or mount or mounting) adj pad)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/05/30 14:05
3	34	5386342.URPN.	USPAT	2002/05/30 13:01
5	1	257/790.ccls. and (lead adj finger)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/05/30 14:06
4	264	257/790.ccls. and lead	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/05/30 14:07
6	0	lead adj finger adj mounting adj ring	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/05/30 14:08
7	15	(lead adj finger) with ring	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/05/30 14:13
8	1	257/790.ccls. and (lead with ring)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB	2002/05/30 14:45

L Number	Hits	Search Text	DB	Time stamp
1	516	257/790.ccls.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 12:09
2	7	257/790.ccls. and (frame or ring) and substrate and ((die or chip or mount or mounting) adj pad)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 14:05
3	34	5386342.URPN.	USPAT;	2002/05/30 13:01
5	1	257/790.ccls. and (lead adj finger)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 14:06
4	264	257/790.ccls. and lead	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 14:07
6	0	lead adj finger adj mounting adj ring	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 14:08
7	15	(lead adj finger) with ring	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 14:13
8	1	257/790.ccls. and (lead with ring)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 14:45
9	76	438/106.ccls. and (encapsulant and lead and wire)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 15:41
10	64	438/124.ccls. and (encapsulant and lead and wire)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 15:51
11	29	3706840.URPN.	USPAT;	2002/05/30 15:48
12	66	438/126.ccls. and (encapsulant and lead and wire)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 15:55
13	42	(438/126.ccls. and (encapsulant and lead and wire)) not (438/124.ccls. and (encapsulant and lead and wire))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 15:56
14	94	438/127.ccls. and (encapsulant and lead and wire)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 16:02
15	62	(438/127.ccls. and (encapsulant and lead and wire)) not (438/124.ccls. and (encapsulant and lead and wire))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 15:56

16	50	((438/127.ccls. and (encapsulant and lead and wire)) not (438/124.ccls. and (encapsulant and lead and wire))) not (438/126.ccls. and (encapsulant and lead and wire))	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 15:56
17	32	438/112.ccls. and (encapsulant and lead and wire)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 16:04
18	121	257/787.ccls. and (encapsulant and lead and wire)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB	2002/05/30 16:04